

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-353272

(43)Date of publication of application : 06.12.2002

(51)Int.Cl.

H01L 21/60
H01L 23/12
H01L 25/065
H01L 25/07
H01L 25/18
H05K 3/34

(21)Application number : 2001-157076

(71)Applicant : FUJITSU LTD

(22)Date of filing : 25.05.2001

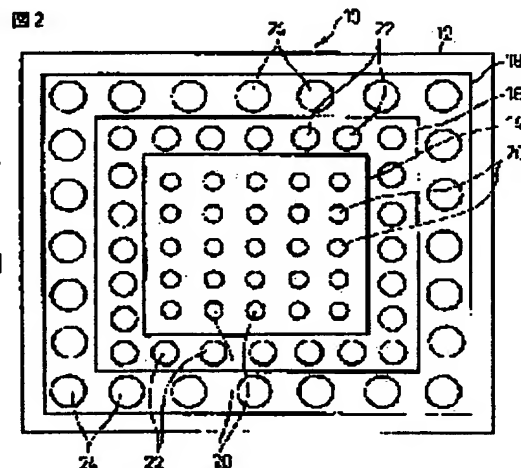
(72)Inventor : FUJIMORI KUNII
YAMAGUCHI ICHIRO
YOSHIKAWA MASAHIRO

(54) SOLDER BUMP FORMING METHOD AND SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a solder bump forming method by which a semiconductor device having a three-dimensional mounting configuration can be easily and surely obtained with regard to the solder bump forming method and the semiconductor device.

SOLUTION: The solder bump forming method comprises a process for forming a film 26 covering a surface of a substrate 12 having a plurality of groups of electrode pads 20A, 22A and 24A, a process for forming openings 20B, 22B and 24B corresponding to each electrode pad and having different sizes in each corresponding electrode pad group in the film 26, a process of forming bump electrodes 20, 22 and 24 which are fixed in the electrode pads within the openings, and a process of removing the film.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-353272

(P 2 0 0 2 - 3 5 3 2 7 2 A)

(43) 公開日 平成14年12月6日 (2002. 12. 6)

(51) Int. Cl. ⁷	識別記号	F I	テマコード (参考)
H01L 21/60	311	H01L 21/60	311 Q 5E319
23/12		H05K 3/34	505 A 5F044
25/065		H01L 25/08	Z
25/07		23/12	F
25/18			

審査請求 未請求 請求項の数 4 O L (全 7 頁) 最終頁に続く

(21) 出願番号	特願 2001-157076 (P 2001-157076)	(71) 出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号
(22) 出願日	平成 13 年 5 月 25 日 (2001. 5. 25)	(72) 発明者	藤森 城次 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内
		(72) 発明者	山口 一郎 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内
		(74) 代理人	100077517 弁理士 石田 敬 (外 3 名)

最終頁に続く

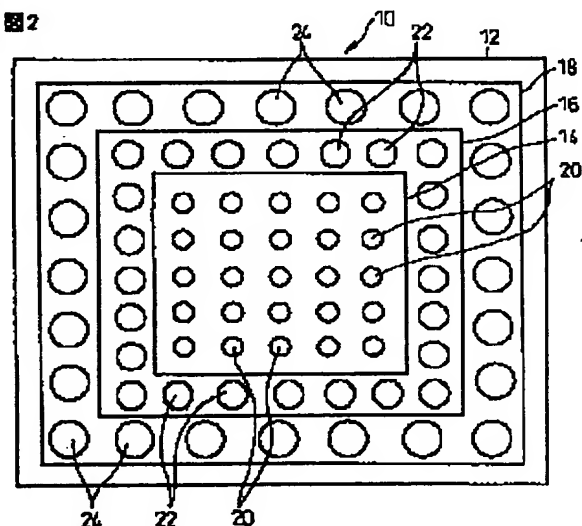
(54) 【発明の名称】 はんだバンプの形成方法および半導体装置

(57) 【要約】

【課題】 はんだバンプの形成方法および半導体装置に関し、簡単に且つ確実に 3 次元的な実装形態の半導体装置を得ることのできるはんだバンプの形成方法を提供することを目的とする。

【解決手段】 はんだバンプの形成方法は、複数の群の電極パッド 20A、22A、24A を有する基板 12 の表面を覆う膜 26 を形成する工程と、該膜 26 に各電極パッドに対応し且つ該電極パッドの群毎に大きさの異なる開口部 20B、22B、24B を形成する工程と、該開口部内で電極パッドに固定されたバンプ電極 20、22、24 を形成する工程と、該膜を除去する工程とからなる。

図 2



【特許請求の範囲】

【請求項 1】 複数の群の電極パッドを有する基板の表面を覆う膜を形成する工程と、
該膜に各電極パッドに対応し且つ該電極パッドの群毎に大きさの異なる開口部を形成する工程と、
該開口部内で電極パッドに固定されたバンプ電極を形成する工程と、
該膜を除去する工程とからなることを特徴とするはんだバンプの形成方法。

【請求項 2】 該バンプ電極を形成する工程は、該開口部内にはんだペーストを充填し、それからリフローを行うことを含むことを特徴とする請求項 1 に記載のはんだバンプ電極の形成方法。

【請求項 3】 複数の群の電極パッドは少なくとも第 1 群の電極パッド及び第 2 群の電極パッドを含み、 n を自然数とすると、第 1 群の電極パッド上のバンプ電極の形成は n 回のはんだペーストの充填及びリフローにより実施され、第 2 群の電極パッド上のバンプ電極の形成は n 回とは異なる回数のはんだペーストの充填及びリフローにより実施されることを特徴とする請求項 2 に記載のはんだバンプの形成方法。

【請求項 4】 請求項 1 から 3 のいずれかに記載のはんだバンプの形成方法で形成されてバンプ電極を有する基板と、電極パッドを有する電気素子とをバンプ電極によって接合してなる半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は基板上に設けられた電極パッド上にバンプ電極を形成する方法に関する。また、本発明はバンプ電極を有する基板と、電極パッドを有する電気素子とをバンプ電極によって接合してなる半導体装置に関する。

【0002】

【従来の技術】 近年、電子部品実装には、高密度化が要求されているが、さらなる高密度化として、複数の機能を一体化させたシステム LSI が要求されてきた。この要求に答えるべく、単一の半導体素子に複数の機能をもたせようとしたが、製造上の問題点が多く現在実用されていない。これに代わり、それぞれの機能を有する半導体素子を 3 次元的に実装した半導体装置が注目されている。例えば 2 つの半導体チップを積層し、この積層体を基板に実装する。このような 3 次元的な実装形態の半導体装置では、半導体素子と半導体素子との間及び半導体素子と基板との間の接続は従来はほとんどワイヤボンディングによって行われている。このような接続をバンプ電極によって行うことができれば、より高密度で高速化が可能になる。

【0003】

【発明が解決しようとする課題】 しかしながら、バンプ電極を用いて 3 次元的な実装形態の半導体装置を得るに

は、個々の半導体素子にバンプ電極を形成し、それから 2 つの半導体素子をバンプ電極を用いて実装し、こうして得られた積層体をさらなる半導体素子又は基板にバンプ電極を用いて実装することが必要となる。このような 3 次元的な実装形態は、製造工程数や製造コストのアップにつながってしまう。

【0004】 さらに、バンプ電極の狭ピッチ化に伴い、バンプ電極の高さのバラツキが大きいと、接合不良が発生する確率が高くなる危険性もあり、効率的な方法ではないと思われる。また、実装上の問題点としては、単一組成のバンプ電極であると、半導体の実装時における荷重のバラツキ等によりバンプ電極同志でショートが発生する可能性がある。特に、この傾向は、共晶組成のはんだバンプ電極の場合に見られることがある。さらに、熱ストレスに脆く、バンプ電極により接合された半導体が剥がれてしまうという問題も抱えている。

【0005】 本発明の目的は、より簡単に且つ確実に 3 次元的な実装形態の半導体装置を得ることのできるはんだバンプの形成方法およびそのようなはんだバンプの形成方法で製造された半導体装置を提供することである。

【0006】

【課題を解決するための手段】 本発明によるはんだバンプの形成方法は、複数の群の電極パッドを有する基板の表面を覆う膜を形成する工程と、該膜に各電極パッドに対応し且つ該電極パッドの群毎に大きさの異なる開口部を形成する工程と、該開口部内で電極パッドに固定されたバンプ電極を形成する工程と、該膜を除去する工程とからなることを特徴とするものである。

【0007】 この方法によれば、基板上に複数の群のバンプ電極が形成される。例えば、第 1 の群のバンプ電極は第 1 の半導体素子を接合するためのものであり、第 2 の群のバンプ電極は第 2 の半導体素子を接合するためのものである。このようにして、1 つの基板に 2 つの半導体素子を容易に実装することができる。そして、第 2 の群のバンプ電極が第 1 の群のバンプ電極よりも高いと、最初に第 1 の半導体素子を第 1 の群のバンプ電極によって基板に実装し、それから第 2 の半導体素子を第 1 の半導体素子の上に載せた状態で第 2 の群のバンプ電極によって基板に実装することができる。さらに、第 1 の群のバンプ電極と第 2 の群のバンプ電極とは組成が異なるようにすることもできる。こうすれば、第 1 の半導体素子の実装と、第 2 の半導体素子の実装とを温度を変えて行うことができ、製造不良の発生を抑え、コストアップを防止することができる。さらに、各バンプ電極は高融点コアを有する構造とすることもでき、実装時のバンプショートを防止するとともに、実装時もしくは実装後のストレスを緩和する。

【0008】

【発明の実施の形態】 以下本発明の実施例について図面を参照して説明する。図 1 は本発明の実施例の半導体装

置を示す断面図である。図2は図1の半導体装置を示す略解的平面図である。半導体装置10は、プリント配線基板12と、第1の半導体素子14と、第2の半導体素子16と、第3の半導体素子18とからなる。第1、第2、第3の半導体素子14、16、18はそれぞれに異なった機能を有する。

【0009】図1及び図2においては、基板としてプリント配線基板12が例示されているが、本発明の基板はプリント配線基板12に限定されるものではない。本明細書で単に基板というときは、プリント配線基板や半導体ウエハなどの狭義の基板ばかりでなく、パンプ電極の形成対象となりうるその他の全てのものを指すものである。

【0010】プリント配線基板12は、第1群のパンプ電極20と、第2群のパンプ電極22と、第3群のパンプ電極24とを含む。第1群のパンプ電極20はプリント配線基板12の中央部に位置し、最も背が低く、且つ最も面積が小さい。第2群のパンプ電極22は第1群のパンプ電極20の外側に位置し、第1群のパンプ電極20よりも背が高く、且つ面積が大きい。第3群のパンプ電極24は第2群のパンプ電極22の外側に位置し、第2群のパンプ電極22よりも背が高く、且つ面積が大きい。

【0011】第1の半導体素子14は第1群のパンプ電極20によってプリント配線基板12に実装される。第2の半導体素子16は第1の半導体素子14に載った状態で第2群のパンプ電極22によってプリント配線基板12に実装される。第2の半導体素子18は第2の半導体素子16に載った状態で第3群のパンプ電極24によってプリント配線基板12に実装される。このようにして、3次元的に実装された3つの半導体素子14、16、18からなる半導体装置10を簡単に且つ確実に製造することができる。本実施例では、複数の半導体素子用のパンプ電極が単一基板へ一括して形成されている。

【0012】図3は本発明の実施例のはんだパンプの形成方法を示す図である。図4は図3のはんだパンプの形成方法の続きの工程を示す図である。図5は図3のはんだパンプの形成方法の続きの工程を示す図である。図3(A)において、複数の群の電極パッド20A、22A、24Aを有するプリント配線基板12を準備する。第1群の電極パッド20Aは図1の第1群のパンプ電極20に対応する位置に形成されている。第2群の電極パッド22Aは図1の第2群のパンプ電極22に対応する位置に形成されている。第3群の電極パッド24Aは図1の第3群のパンプ電極24に対応する位置に形成されている。第3群の電極パッド24Aの面積は第2群の電極パッド22Aの面積よりも大きく、第2群の電極パッド22Aの面積は第1群の電極パッド20Aの面積よりも大きい。

【0013】樹脂の膜26が電極パッド20A、22

A、24Aを覆うようにプリント配線基板12の表面を覆って形成される。樹脂の膜26は好ましくはレジストからなる。一例においては、樹脂の膜26はプリント配線基板12の表面にラミネートされたドライフィルムレジストからなる。また、樹脂の膜26はプリント配線基板12の表面に塗布されたレジストでもよい。

【0014】図3(B)において、樹脂の膜26に各電極パッド20A、22A、24Aに対応し且つ該電極パッド20A、22A、24A群毎に大きさの異なる開口部20B、22B、24Bを形成する。開口部20B、22B、24Bは、レジストからなる樹脂の膜26に、露光及び現像により形成される。このとき、2段目に実装される第2の半導体素子16を接合するためのパンプ電極22を形成するための開口部22Bの大きさは、1段目に実装される第1の半導体素子14を接合するためパンプ電極20を形成するための開口部20Aの大きさよりも大きく形成しておく。同様に、3段目に実装される第3の半導体素子18を接合するためのパンプ電極24を形成するための開口部24Bの大きさは、2段目に実装される第2の半導体素子16を接合するためパンプ電極22を形成するための開口部22Aの大きさよりも大きく形成しておく。

【0015】図3(C)において、樹脂の膜26の表面にパンプ電極となる金属を含むはんだペースト28を供給し、スキージングによりはんだペースト28を開口部20B、22B、24Bに充填する。図3(D)において、はんだペースト28をリフローし、はんだペースト28中の金属によりパンプ電極20、22、24を形成する。パンプ電極20、22、24は電極パッド20A、22A、24Aにそれぞれ溶着される。その後、はんだペースト28中のフラックス成分は洗浄される。

【0016】図4(A)において、2段目に実装される第2の半導体素子16を接合するためのパンプ電極22を形成するための開口部22Bに相当する位置にのみ開口部を有するメタルマスク30を被せ、スキージングにより開口部22Bにはんだペースト32を充填する。このはんだペースト32中の金属の融点は、最初に充填されたはんだペースト28中の金属の融点より低い。例えば、1回目に充填されたはんだペースト28中の金属は、Sn:Pb=90~95:10~5の合金である。2回目に充填されたはんだペースト32中の金属は、Sn:Ag=99~95:1~5の合金である。

【0017】図4(B)において、メタルマスク30を剥がす。図4(C)において、はんだペースト32をリフローし、パンプ電極22を再形成する。リフローは、最初に充填されたはんだペースト28中の金属の融点より低く、今回充填されたはんだペースト32中の金属の融点よりも高い温度で加熱することにより実施される。はんだペースト32中の金属が溶融し、前に形成したはんだペースト28中の金属で形成されたパンプ電極2

0、24及びバンプ電極22の部分(コア)は溶融しない。こうして、高融点のコアを有するバンプ電極22を形成する。バンプ電極22の高さはバンプ電極20の高さよりも高くなる。その後、はんだペースト32中のフラックス成分は洗浄される。

【0018】さらに、図5(A)において、3段目に実装される第3の半導体素子18を接合するためのバンプ電極24を形成するための開口部24Bに相当する位置にのみ開口部を有するメタルマスク34を被せ、スキージングにより開口部24Bにはんだペースト36を充填する。このはんだペースト36は、2回目に充填されたはんだペースト32中の金属の融点より低い融点を有する金属を含む。例えば、3回目に充填されたはんだペースト36中の金属は、Sn:Pb=60~70:40~30の合金である。

【0019】図5(B)において、メタルマスク34を剥がす。図5(C)において、はんだペースト36をリフローし、バンプ電極24を再形成する。リフローは、2回目に充填されたはんだペースト32中の金属の融点より低く、今回充填されたはんだペースト36中の金属の融点よりも高い温度で加熱することにより実施される。はんだペースト36中の金属が溶融し、前に形成したはんだペースト28、32中の金属で形成されたバンプ電極20、22及びバンプ電極24のコアは溶融しない。こうして、高融点のコアを有するバンプ電極24を形成する。バンプ電極24の高さはバンプ電極22、20の高さよりも高くなる。その後、はんだペースト32中のフラックス成分は洗浄される。

【0020】図5(D)において、プリント配線基板12を覆っていた樹脂の膜26を剥離する。これによって、プリント配線基板12は、サイズ、組成、高さの異なる複数のバンプ電極20、22、24を有することになる。これらのバンプ電極20、22、24の組成に適応した温度で、第1、第2、第3の半導体素子14、16、18をプリント配線基板12にフリップチップ実装することにより、図1及び図2に示された3次元な実装構造の半導体装置10を得ることができる。この場合、第1、第2、第3の半導体素子14、16、18は、バンプ電極20、22、24の融点に合わせて、段階的に実装される。積層実装される上段の半導体素子16、18は、下段の半導体素子14、16に比べ長辺を有している。

【0021】上記方法により形成されたバンプ電極を用い、チップオンチップパッケージ、システムインパッケージ、及びチップオンチップモジュールとともに、積層実装されたパッケージ及びモジュール形態の半導体装置を製造することが可能である。以上説明したように、単一基板上へサイズ、組成、高さの異なるバンプ電極を形成することにより、ベアチップ実装を行うために個々の半導体素子へバンプ電極を形成する工程を省略するこ

とができる。バンプ電極を形成する基板の簡略化も可能である。上段に実装される半導体素子用の電極パッド及びバンプ電極のサイズが大きいため、実装ストレスによるバンプ電極と電極パッドの間での剥がれによる電気的な接触不良を防止できる。また、各バンプ電極は、高融点コアを有しているため、実装時のバンプ電極間のショートを防止できるとともに、実装時及び実装後にかかるストレスによるバンプの変移を吸収でき、効果は大きい。

10 【0022】また、本実施例では、樹脂の膜26に複数の群に分けられる開口部を形成した後、その開口部にはんだペーストを充填し、リフローによりバンプ電極を形成する。そして、樹脂の膜26の開口部へのはんだペーストの充填は、樹脂の膜26の表面ではんだペーストをスキージングすることにより行う方法と、又はメタルマスクを被せてスキージングにより充填する方法とがある。本実施例では、これらの2つのスキージングを併用している。上記方法により形成されるバンプ電極は、最後の工程で形成されたバンプ電極以外の全てのバンプ電極が、樹脂の膜よりも突出していない。

20 【0023】図6は本発明の他の実施例の半導体装置を示す略解的平面図である。半導体装置40は、プリント配線基板42と、第1の半導体素子24と、第2の半導体素子26と、第3の半導体素子28とからなる。第2、第3の半導体素子26、18は互いに同じ機能を有する。プリント配線基板42は、第1群のバンプ電極50と、第2群のバンプ電極52と、第3群のバンプ電極54とを含む。第1群のバンプ電極50はプリント配線基板42の中央部に位置し、最も背が低く、且つ最も面積が小さい。第2、第3群のバンプ電極52、54は第1群のバンプ電極50の外側に互いに対称に位置し、第1群のバンプ電極50よりも背が高く、且つ面積が大きい。第1の半導体素子44は第1群のバンプ電極50によってプリント配線基板42に実装される。第2、第3の半導体素子46、48は第1の半導体素子44に載った状態で第2、第3群のバンプ電極52、54によってプリント配線基板42に実装される。バンプ電極50、52、54はプリント配線基板42に図3から図5を参照して説明したようにして形成される。ただし、第2、第3群のバンプ電極52、54は同時に形成されるので、はんだペーストの充填及びリフローは2回でよい。このように、同一機能又は異なった機能をもった複数の半導体素子を並列的に形成することもできる。

40 【0024】図7は本発明の他の実施例の半導体装置を示す略解的平面図である。半導体装置60は、プリント配線基板62と、第1の半導体素子64と、第2の半導体素子66とからなる。プリント配線基板62は、第1群のバンプ電極68と、第2群のバンプ電極70とを含む。第1群のバンプ電極68はプリント配線基板62の中央部に位置し、最も背が低く、且つ最も面積が小さ

い。第2群のバンプ電極70は第1群のバンプ電極68の外側でプリント配線基板62の対角線上に位置する。第1の半導体素子64は第1群のバンプ電極68によってプリント配線基板62に実装される。第2の半導体素子66は第1の半導体素子64に載った状態で第2群のバンプ電極70によってプリント配線基板62に実装される。バンプ電極68、70はプリント配線基板62に図3から図5を参照して説明したようにして形成される。ただし、はんだペーストの充填及びリフローは2回でよい。このように、基板の面積、スペース、配線の状況に応じて、半導体をあらゆる角度で実装することが可能になる。この積層の実施例は一例であり、2段や3段に限定されるものではない。それ以上の多段実装が可能である。各群のバンプ電極は、2個以上のバンプ電極で構成されており、且つ複数列、ジグザク配列等、あらゆる配置が可能である。

【0025】

【発明の効果】以上説明したように、本発明によれば、単一の基板へ複数の特徴をもったバンプ電極を形成することにより、積層実装する半導体素子へのバンプ電極形成工程を省略することができる。また、基板上に設けた膜に開口部を設けてバンプ電極を形成することにより、バンプ電極を簡単且つ確実に形成することができる。また、バンプ電極を有する基板の簡略化も可能である。

【図面の簡単な説明】

【図1】本発明の実施例の半導体装置を示す断面図である。

【図2】図1の半導体装置を示す略解的平面図である。

【図3】本発明の実施例のはんだバンプの形成方法を示す図である。

【図4】図2のはんだバンプの形成方法の続きの工程を示す図である。

【図5】図2のはんだバンプの形成方法の続きの工程を示す図である。

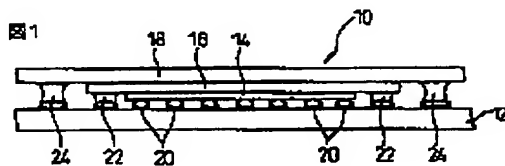
【図6】本発明の他の実施例の半導体装置を示す略解的平面図である。

【図7】本発明の他の実施例の半導体装置を示す略解的平面図である。

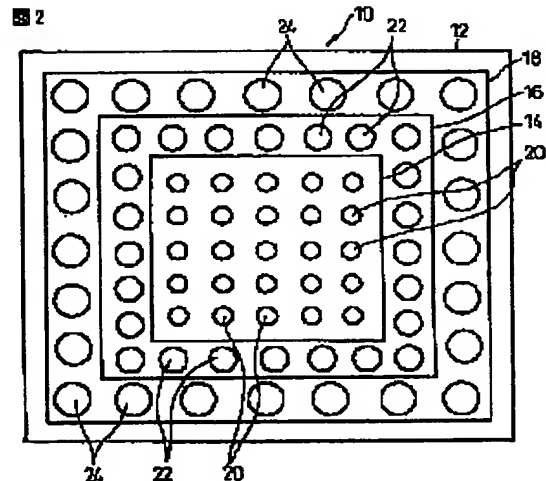
【符号の説明】

- 10…半導体装置
- 12…プリント配線基板
- 14…半導体素子
- 16…半導体素子
- 18…半導体素子
- 20…バンプ電極
- 20A…電極パッド
- 20B…開口部
- 22…バンプ電極
- 22A…電極パッド
- 22B…開口部
- 24…バンプ電極
- 24A…電極パッド
- 24B…開口部
- 26…膜
- 28…はんだペースト
- 30…メタルマスク
- 32…はんだペースト
- 34…メタルマスク
- 36…はんだペースト

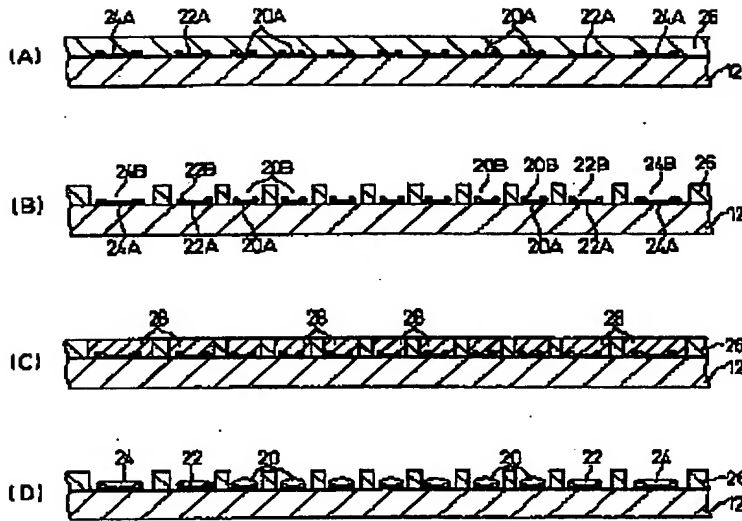
【図1】



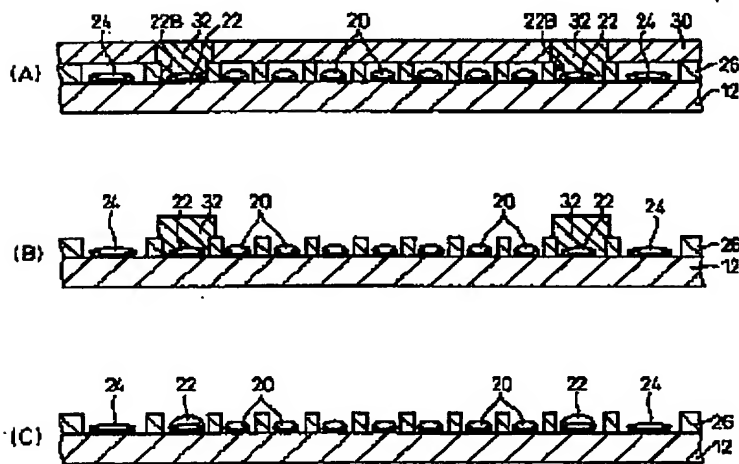
【図2】



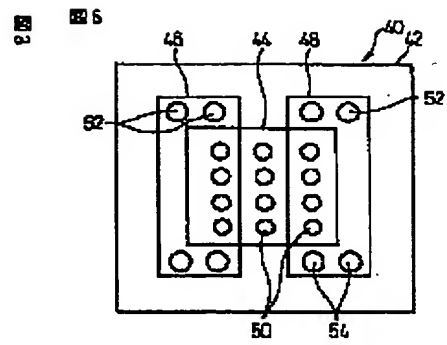
【図 3】



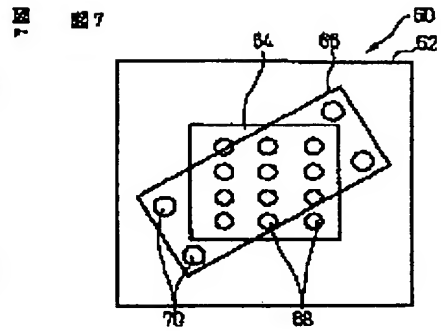
【図 4】



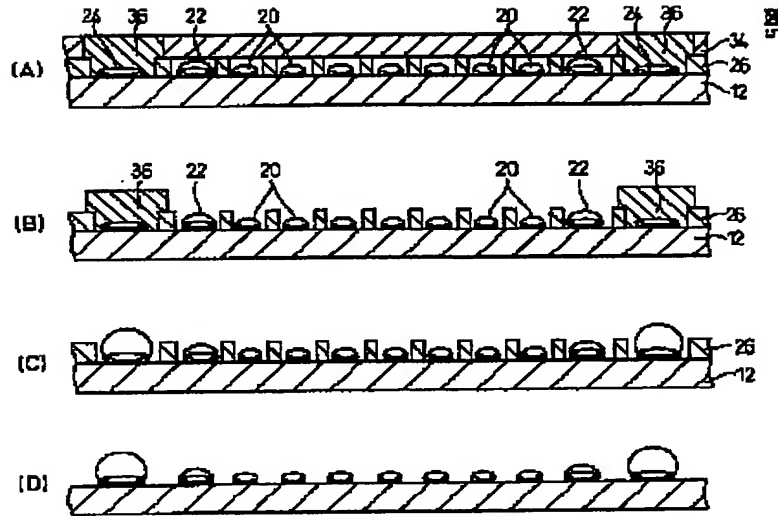
【図 6】



【図 7】



【図 5】



フロントページの続き

(51) Int. Cl.
H05K 3/34

識別記号
505

F I

ターマコード (参考)

(72) 発明者 吉川 政廣
神奈川県川崎市中原区上小田中 4 丁目 1 番
1 号 富士通株式会社内

F-ターム (参考) 5E319 AA03 AB05 AC01 BB04 BB05
CC33 CD04 CD26 GG03 GG15
5F044 KK17 KK19 LL01 LL04 RR03